

## PATENT ABSTRACTS OF JAPAN

(11) Publication number : 04-096343  
 (43) Date of publication of application : 27.03.1992

(51) Int. Cl. H01L 21/66  
 H01L 21/60

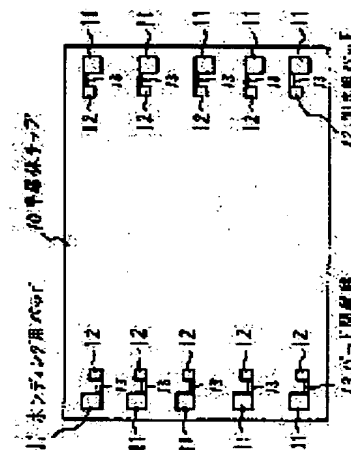
(21) Application number : 02-213851 (71) Applicant : NEC CORP  
 (22) Date of filing : 13.08.1990 (72) Inventor : HOTTA NOBUAKI

## (54) SEMICONDUCTOR DEVICE

## (57) Abstract:

**PURPOSE:** To improve the yield of bonding at the time of assembly, and to increase resistance to part corrosion due to moisture intruding along a wire by constituting a pad for electrical measurement electrically connected to a pad for wire bonding while being formed on the surface of a wafer.

**CONSTITUTION:** One sides of the size of pads 11 for bonding on a semiconductor chip 10 are formed in approximately 100 $\mu$ m, and one sides of the size of pads 12 for electrical measurement on a wafer are formed in approximately 50 $\mu$ m. The width of inter-pad wirings 13 for connecting the bonding pads 11 and the measuring pads 12 are shaped in approximately 10 $\mu$ m. All of these conductor layers 11, 12, 13 are formed of aluminum. In the constitution of such a semiconductor chip, electrical measurement on the wafer is conducted by using the pads 12 for measurement including the measurement of redundancy times, and wire bonding is performed by employing the pads 11 for bonding. Accordingly, each pad is attacked once respectively.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-96343

⑮ Int. Cl.<sup>5</sup>

H 01 L 21/66  
21/60

識別記号

3 0 1 E  
P

庁内整理番号

7013-4M  
6918-4M

⑬ 公開 平成4年(1992)3月27日

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 半導体装置

⑯ 特 願 平2-213851

⑰ 出 願 平2(1990)8月13日

⑱ 発 明 者 堀 田 信 昭 東京都港区芝5丁目7番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

半導体装置

特許請求の範囲

リダンダンシィ回路ブロックを有し半導体チップ表面にワイヤーボンディング用パッドを有する半導体装置において、前記ワイヤーボンディング用パッドに電気的に接続する電気的測定用パッドをウェーハ表面に有することを特徴とする半導体装置。

発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置に関し、特にリダンダンシィ回路ブロックを含む半導体ウェーハのパッドレイアウト構造に関する。

従来、半導体装置のパッドレイアウト構造は、第3図に示すようなものとなっていた。

即ち、半導体チップ20の四辺にワイヤボンディングに都合のいいようなある間隔を有してパッド31が並んでおり、それらは又、ウェーハ状態でのチップの電気的測定をも兼ねるものであった。

これは、リダンダンシィ回路ブロックを有するような半導体装置でも例外ではなかった。

〔発明が解決しようとする課題〕

上述した従来の半導体装置では、リダンダンシィ回路ブロックのリダンダンシィ測定による良品半導体チップを選択する第1の電気的測定と、レーザーによるヒューズカット法によりリダンダンシィ良品チップの良品チップへの復活後に、最終的な良品又は不良品チップの判定を行う為の第2の電気的測定がウェーハ状の同一の電気的測定用パッド上でプローブを用いて行なわれた後、良品の半導体チップは上記パッド上にワイヤボンディングされて各種ケースに組立てられる。

従ってボンディングパッドはプローブで2度アタックされた後に使用される為、組立時のボンデ

ィング不良になったり、時にはワイヤから伝わって侵入する水分の為にパッドコロージョンを発生させたりするという欠点があった。

〔課題を解決するための手段〕

本発明の半導体装置は、リダンダンシィ回路ブロックを有し半導体チップ表面にワイヤーボンディング用パッドを有する半導体装置において、前記ワイヤーボンディング用パッドに電氣的に接続する電氣的測定用パッドをウェーハ表面に有して構成されている。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明の第1の実施例のボンディングパッドのレイアウトを示す平面図である。

半導体チップ10上のボンディング用パッド11の大きさは一辺が約100 $\mu$ mであり、ウェーハ上での電氣的測定用パッド12の大きさは一辺が約50 $\mu$ mである。

ボンディングパッド11と測定用パッド12を

接続する為のパッド間配線13は巾約10 $\mu$ mである。これら導電層11、12、13はいずれもアルミニウムで形成されている。

以上のような半導体チップ構成においてウェーハ上での電氣的測定は、リダンダンシィ回の測定も含めて測定用パッド12を用いて行ない、ワイヤーボンディングはボンディング用パッド11を用いて行なう。従って各パッドのアタックは、各一度となる。

第2図は本発明の第2の実施例のボンディングパッドのレイアウトを示す平面図である。

半導体チップ20上のボンディング用パッド21の大きさは一辺が約100 $\mu$ mであり、ウェーハ上での電氣的測定用パッド22の大きさは一辺が約50 $\mu$ mである。

ボンディング用パッド31と測定用パッド32を接続する為の配線23の巾は約10 $\mu$ mである。31、32、33はいずれもアルミニウムで構成されており、その動作は実施例1と同様である。

本実施例では、測定用パッド22がクスライブライン上に形成されている為、パッド数の増加による半導体チップ面積の増加を招かないという利点がある。

〔発明の効果〕

以上説明したように本発明は、リダンダンシィ回路ブロックなどを有する半導体装置において、ワイヤーボンディング用パッドとは別に、リダンダンシィを含むウェーハ上での電氣的測定用パッドを有することにより、電氣的測定時にリダンダンシィ用も含めてアプローブで少なくとも2度アタックされたパッドをボンディング用としては使わないで済む為、組立時のボンディング歩留が向上したり、ワイヤから伝わって侵入する水分によるパッドコロージョンに対して耐性を大きくできるという効果がある。

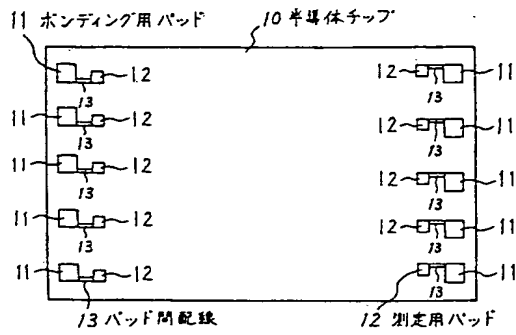
図面の簡単な説明

第1図は本発明の第1の実施例のパッドレイアウトを示す平面図、第2図は本発明の第2の実施

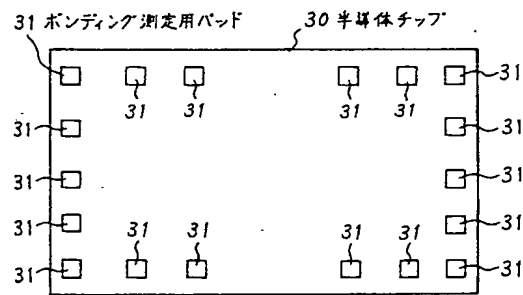
例のパッドレイアウトを示す平面図、第3図は従来の半導体装置の一例のパッドレイアウトを示す平面図である。

10、20、30…半導体チップ、11、21…ボンディング用パッド、12、22…ウェーハ上での電氣的測定用パッド、13、23…パッド間配線、21…ボンディング測定用パッド。

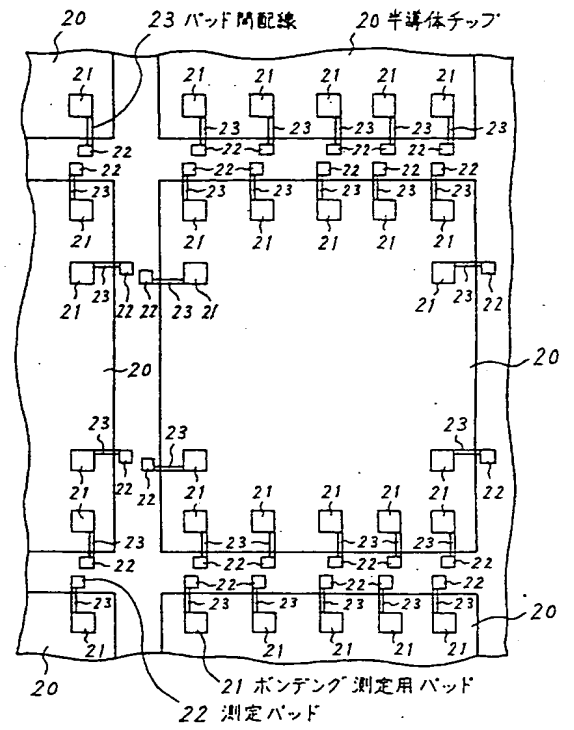
代理人 弁理士 内 原 晋



第 1 図



第 3 図



第 2 図